

Patent Abstracts of Japan

PUBLICATION NUMBER : 56148846
PUBLICATION DATE : 18-11-81

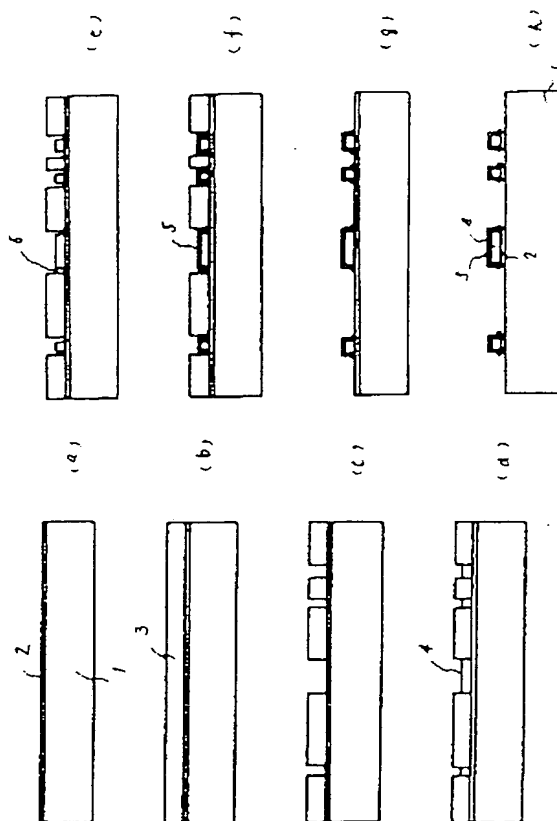
APPLICATION DATE : 22-04-80
APPLICATION NUMBER : 55053086

APPLICANT : NEC CORP;

INVENTOR : NITTA MITSURU;

INT.CL. : H01L 21/88

TITLE : MANUFACTURE OF CIRCUIT
PATTERN



ABSTRACT : PURPOSE: To obtain a microminiature circuit pattern by covering the first conductive film on a substrate, plating the second conductive film pattern thereon, then covering a protective film on the upper and side surfaces of the second film and etching the first film.

CONSTITUTION: The first conductor 2 is formed on titanium-palladium alloy or the like on a substrate 1 made of alumina, glass or the like. Then, a resist 3 is covered thereon, and a pattern is formed thereon by an exposure development. Subsequently, the second conductor 4 is formed of copper, gold or the like by an electric plating. Further, the resist 3 is thermally shrunk to form gaps 6, and a protective film 5 is formed on the gap 6 and on the second conductor 4. The film 5 may be any which can endure against the etchant of the first conductor 2, and preferably be metal. Eventually, the resist 3 is removed, the film 5 is used as a mask to etch the first conductor 2, and a circuit pattern is obtained. Since the film 5 exists thereon, it can prevent the sidewise etching at the time of etching.

COPYRIGHT: (C)1981, JPO&Japio

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

EP29625(85)

⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭56-148846

⑤ Int. Cl.³
H 01 L 21/88

識別記号

庁内整理番号
6741-5F

⑬ 公開 昭和56年(1981)11月18日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 回路パターンの製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭55-53086

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭55(1980)4月22日

東京都港区芝5丁目33番1号

⑲ 発 明 者 新田満

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

回路パターンの製造方法

2. 特許請求の範囲

基板上面の全面に第1の導体膜を形成する第1の工程と、

前記第1の導体膜の上にレジストを形成しパターンを露光および現像する第2の工程と、

前記第1の導体を電極として第2の導体をメッキで形成する第3の工程と、

前記レジストで覆われていない部分を拡大し前記レジストと前記第2の導体との境界に間隙をつくる第4の工程と、

前記第2の導体を電極として第3の導体をメッキで形成する第5の工程と、

前記レジストを剥離し前記第1の導体の不要部分をエッチングで除去する第6の工程とを含むことを特徴とする回路パターンの製造方法。

3. 発明の詳細な説明

本発明は回路パターンの製造方法に関する。

従来の回路パターンの形成方法においては、第1の導体をスパッタリングや蒸着により基板上の全面に形成し、その上に、レジストを形成し、それにパターンを露光現像し、第1の導体を電極として、第2の導体を電気メッキし、次にレジストを剥離し、さらに、第2の導体パターンを保護膜として不必要な第1導体を部分的にエッチングで除去している。この方法では、第1の導体の不必要な部分のエッチングの際に回路パターンのサイドエッチングが不要となる。この回路パターンのサイドエッチングは、回路パターンを細めたり基板面との密着力を低下させたりする欠点がある。特に、回路パターンが微細化すると、前記サイドエッチングは、回路パターンの断続や回路パターンを基板から浮かす等の状態を引き起こすことになる。

本発明の目的は上述の欠点を解決しサイドエッチングの悪影響を軽減した回路パターンの製造方

法を提供することにある。

本発明の製造方法は、基板上面の全面に第1の導体膜を形成する第1の工程と、

前記第1の導体膜の上にレジストを形成しパターンを露光および現像する第2の工程と、

前記第1の導体を電極として第2の導体をメッキで形成する第3の工程と、

前記レジストで覆われていない部分を拡大し前記レジストと前記第2の導体との境界に間隙をつくる第4の工程と、

前記第2の導体を電極として第3の導体をメッキで形成する第5の工程と、

前記レジストを剝離し前記第1の導体の不要な部分をエッチングで除去する第6の工程とを含むことを特徴とする。

次に本発明について図面を参照して詳細に説明する。

本発明の一実施例を示す第1図および第2図を参照すると、まず、第2(a)図に示すように、アルミナまたはガラスなどの基板1の上に第1の導体2がスパッタリングや蒸着技術により形成される。導体金属としては、一例として、チタン/パラジウムなどが用いられ、回路パターンの密着および第2

の導体4および第3の導体5の形成時の電極として用いられる。

次に、レジスト3が第1の導体2の上に形成される。このレジスト3が液状の場合には塗布され、フィルム状の場合には張り付けて、形成される(第2図(b))。

次に、このレジスト3が所要の回路パターンのマスクを介して露光および現像される(第2図(c))。

次に、第2(d)図に示すように、第1の導体2を電極としレジストの回路パターン内に電気メッキなどにより第2の導体の一部4が形成される。この第2の導体金属の一例としては、銅、銅/ニッケルおよび金などが用いられ、以上の工程は通常一歩に、用いられている周知の工法で行なわれる。

第2の導体4が形成されたあと、第2(e)図に示すように、再び現像することなどによりレジストパターンがわずかに拡大され、第2の導体4とレジスト3のエッジとの間に間隙6が形成される。この間隙6を形成するのに、再現像によらず、新たなレジストで、再び、露光および現像がされても

- 4 -

よく、また、加熱によりレジストが収縮されてもよい。

次に、第2の導体4および間隙6の部分に、第1の導体2を電極として、第3の導体5が第1の導体2の不要部分のエッチング時の保護膜として形成される。(第2図(f))。この保護膜としては、第1の導体のエッチング液に耐えるものであればどのようなものでも良く、第2の導体と同じ材料でもよいが、回路パターンの腐蝕などの点から金が最も良い。

さらに、第2(f)図のように、レジスト3が剝離され、さらに、第1の導体の不要部分がエッチング液でエッチング除去される。このとき第3の導体5、すなわち、エッチング液の保護膜が、第2の導体4の上面および側面で覆われ、さらに、第1の導体2の間隙6の部分に形成されているので第2の導体ではサイドエッチングをする必要がなく、第1の導体2のサイドエッチングも回路パターンに与える悪影響が小さくなる。

本発明には、サイドエッチングの悪影響を軽減

し微細な回路パターンを製造できるという効果がある。

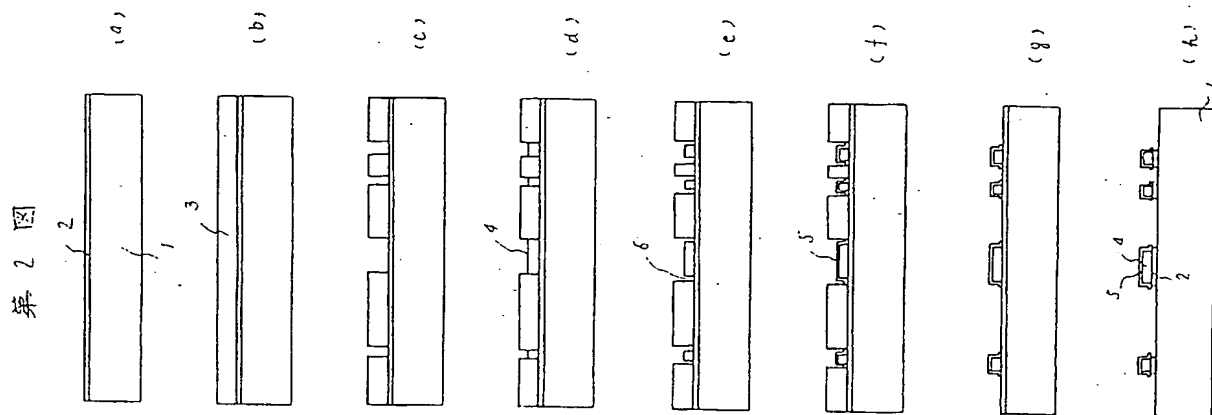
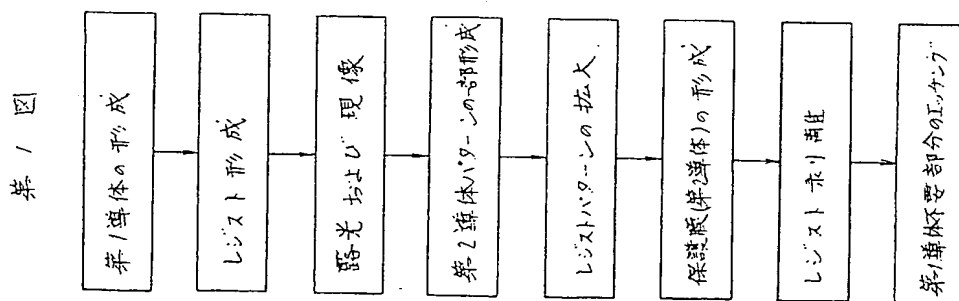
4. 図面の簡単な説明

第1図および第2図は、本発明の一実施例を示す図である。

第1図および第2図において、1……アルミナまたはガラス基板、2……第1の導体、3……レジスト、4……第2の導体、5……第3の導体(保護膜)、6……間隙。

代理人 弁理士 内 原 晋





THIS PAGE BLANK (USPTO)